

BUNDESREPUBLIK DEUTSCHLAND

PRIORITY
DOCUMENTSUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

REC'D 27 FEB 2001

WIPO

PCT

4

Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung

Aktenzeichen: 100 02 139.5

Anmeldetag: 19. Januar 2000

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Datenspeicher

IPC: G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 31. Januar 2001
Deutsches Patent- und Markenamt
 Der Präsident
 Im Auftrag

Waasmaier

Beschreibung

Datenspeicher

5 Die Erfindung betrifft einen Datenspeicher mit geringer Zugriffszeit, der einen Haupt-Datenspeicher und einen Redundanz-Datenspeicher zum Ersatz fehlerhafter Datenspeichereinheiten des Haupt-Datenspeichers aufweist.

10 Die Größe von Datenspeichern sowie der Integrationsgrad von Datenspeichern nimmt aufgrund der gestiegenen Anforderungen insbesondere bei kundenspezifischen ASIC-Schaltungen immer mehr zu. Aufgrund des notwendigen hohen Integrationsgrades und der notwendigen großen Speichergrößen werden im Verlaufe
15 des komplexen Herstellungsvorganges neben den funktionierenden Datenspeichereinheiten auch vereinzelt fehlerhafte Datenspeichereinheiten erzeugt. Zum Auffinden derartiger fehlerhafter Speicherzellen werden Datenspeicher nach ihrer Herstellung einem Speichertest unterzogen, bei dem Test-
20 Datenmuster an den Speicher angelegt werden, und anschließend geprüft wird, ob die ausgelesenen Daten einem erwarteten Testdatenauslesemuster entsprechen.

Damit nicht wenige ausgefallene Datenspeichereinheiten dazu
25 führen, dass der gesamte hergestellte Datenspeicher funktionsuntüchtig ist, werden bei Datenspeichern zunehmend zusätzlich redundante Speicherbereiche vorgesehen, die zum Ersatz fehlerhafter Datenspeichereinheiten dienen. Bei einem in Reihen und Spalten organisierten Datenspeicher werden hierzu zu-
30 sätzlich auf dem Datenspeicherchip Ersatzspeicherreihen und Ersatzspeicherspalten eingebaut.

Figur 1 zeigt schematisch den Aufbau eines Datenspeichers mit einem redundanten Speicherbereich nach dem Stand der Technik.

Nach erfolgtem Speichertest des Datenspeichers wird das ausgelesene Testdatenmuster zunächst gespeichert und durch Vergleich mit erwarteten Testausgabemustern die Adressen der fehlerhaften Datenspeichereinheiten des Datenspeichers bestimmt. Die bestimmten fehlerhaften Adressen werden in die Redundanzlogik einprogrammiert, so dass beim Zugriff auf die Adresse einer fehlerhaften Datenspeichereinheit innerhalb des Datenspeichers auf eine Ersatz-Datenspeichereinheit innerhalb des Redundanz-Datenspeichers zugegriffen wird. Um zu testen, ob die Adressenumleitung innerhalb der Redundanzlogik erfolgreich beendet wurde, wird in einem anschließenden weiteren Testschritt durch Vergleich von Testdatenmustern überprüft, ob der Speicher nunmehr funktionstüchtig ist.

Bei einem Speicherzugriff auf den Datenspeicher erfolgt zunächst ein Adressenvergleich in der Redundanzlogik und anschließend wird, sofern die adressierte Datenspeichereinheit nicht fehlerhaft ist, auf die adressierte Datenspeichereinheit innerhalb des Datenspeichers zugegriffen oder, falls die adressierte Datenspeichereinheit als fehlerhafte Datenspeichereinheit erkannt wird, auf eine Ersatz-Datenspeichereinheit innerhalb des redundanten Speichers zugegriffen.

Ein Nachteil der in Figur 1 dargestellten Anordnung nach dem Stand der Technik besteht darin, dass der redundante Speicher in den ursprünglichen Datenspeicher integriert ist. Bei einem vorgegebenen Datenspeicher mit vorbestimmter Größe, bspw. einem RAM-Speicher mit einem Megabyte Speicherplatz, muss der Datenspeicher zur Integration eines redundanten Speicherraums schaltungstechnisch entsprechend angepasst werden.

Der in Figur 1 dargestellte Speicher weist ferner den schwerwiegenden Nachteil auf, dass der Speicherzugriff auf eine Da-

tenspeichereinheit relativ lange dauert. Die Speicherzugriffszeit T_{Zugriff} auf eine Datenspeichereinheit innerhalb des in Figur 1 dargestellten Speichers ist die Summe aus der Adressenvergleichszeit T_v , die zum Adressenvergleich innerhalb der Redundanzlogik benötigt wird, und der Zugriffszeit auf den Datenspeicher T_{ZD} .

$$T_{\text{Zugriff}} = T_{\text{ZD}} + T_v$$

10 Es ist die Aufgabe der vorliegenden Erfindung einen Datenspeicher mit redundanten Speicher zu schaffen, der eine möglichst kurze Speicherzugriffszeit aufweist.

Diese Aufgabe wird erfindungsgemäß durch einen Daten-Speicher
15 in dem in Patentanspruch 1 angegebenen Merkmalen gelöst.

Die Erfindung schafft einen Datenspeicher mit einem aus einer Vielzahl von Daten-Speichereinheiten bestehenden Haupt-Datenspeicher, einem Redundanz-Datenspeicher, der aus mehreren Redundanz-Datenspeichereinheiten zum Ersatz fehlerhafter
20 Datenspeichereinheiten des Haupt-Datenspeichers besteht, und mit einer Redundanz-Steuerlogik zum Steuern des Zugriffs auf den Redundanz-Datenspeicher, wobei der Haupt-Datenspeicher und der Redundanz-Datenspeicher über Datenleitungen parallel
25 zueinander an einen Datenbus angeschlossen sind, wobei der Haupt-Datenspeicher und die Redundanzsteuerlogik parallel zueinander über Adressleitungen an einem Adressenbus zur Adressierung von Datenspeichereinheiten in dem Daten-Speicher angeschlossen sind.

30

Ein Vorteil des erfindungsgemäßen Datenspeichers besteht darin, dass er über einen redundanten Speicher verfügt, ohne

dass der Haupt-Datenspeicher schaltungstechnisch angepasst werden muss.

Ein weiterer Vorteil des Datenspeichers mit den in Patentanspruch 1 angegebenen Merkmalen ist seine Testfreundlichkeit, da bei Anlegen eines Testmusters zur Überprüfung der Funktionstüchtigkeit des Datenspeichers der Redundanz-Datenspeicher sofort mitgetestet werden kann.

10 Bei einer bevorzugten Ausführungsform des Datenspeichers weist die Redundanz-Steuerlogik einen Adressenspeicher mit mehreren Adressen-Speichereinheiten auf, die Adressen von fehlerhaften Daten-Speichereinheiten des Haupt-Datenspeichers abspeichern.

15 Die Adressenspeichereinheiten sind bei einer Ausführungsform des Daten-Speichers Assoziativ-Speichereinheiten CAM, die mit dem Adressenbus verbunden sind, wobei die Assoziativ-Speichereinheiten zum Freischalten zugehöriger Redundanz-Datenspeichereinheiten des Redundanz-Datenspeichers vorgesehen sind.

20 Bei einer weiteren Ausführungsform sind die Adressen-Speichereinheiten Adressen-Speicherregister.

25 Die Adressen-Speicherregister weisen dabei vorzugsweise jeweils ein Flag-Bit auf, das anzeigt, ob der Inhalt des Adressen-Speicherregisters gültig ist.

30 Die Redundanz-Steuerlogik weist vorzugsweise mehrere Komparatoren auf, die jeweils mit einem Adressen-Speicherregister und dem Adressenbus verbunden sind und eine zugehörige Redundanz-Datenspeichereinheit des Redundanz-Datenspeichers frei-

schalten, wenn die in dem Adressenbus anliegende Adresse mit der in dem Adressen-Speicherregister abgespeicherten Adresse übereinstimmt.

- 5 Die Redundanz-Steuerlogik steuert vorzugsweise einen ersten Multiplexer zum Auslesen von Daten aus dem Haupt-Datenspeicher oder aus dem Redundanz-Datenspeicher.

10 Bei einer weiteren bevorzugten Ausführungsform sind der Haupt-Datenspeicher, der Redundanz-Datenspeicher und die Redundanz-Steuerlogik parallel zueinander an einen Steuerbus zum Steuern des Lese- oder Schreibzugriffs auf den Datenspeicher angeschlossen.

- 15 Bei einer besonders bevorzugten Ausführungsform des erfindungsgemäßen Datenspeichers ist der Adressenspeicher mit einem programmierten, nicht löschbaren Adressen-Festwertspeicher zum dauerhaften Abspeichern von Adressen fehlerhafter Daten-Speichereinheiten des Haupt-Datenspeichers verbunden.
20

Die Redundanz-Steuerlogik steuert vorzugsweise einen zweiten Multiplexer der eingangsseitig mit dem Redundanz-Datenspeichereinheiten des Redundanz-Speichers verbunden ist
25 und zum Auslesen von Daten aus einer der Redundanz-Datenspeichereinheiten dient.

Die Redundanz-Datenspeichereinheiten des Redundanz-Speichers sind dabei vorzugsweise Daten-Register.
30

Bei einer bevorzugten Ausführungsform ist der Haupt-Datenspeicher ein RAM-Datenspeicher.

Bei einer weiteren bevorzugten Ausführungsform ist der Haupt-Datenspeicher ein SRAM-Datenspeicher.

5 Eine Adresse einer fehlerhaften Daten-Speichereinheit des Haupt-Datenspeichers ist vorzugsweise in einer Adressen-Speichereinheit des Adressenspeichers aus einer in dem Datenspeicher integrierten Speicher-Testlogik, aus einem Testautomaten oder aus dem Adressen-Festwertspeicher auslesbar und in die Adressen-Speichereinheit einschreibbar.

10

Im weiteren werden bevorzugte Ausführungsformen des erfindungsgemäßen Datenspeichers zur Erläuterung erfindungswesentlicher Merkmale unter Bezugnahme auf die beigefügten Figuren beschrieben.

15

Es zeigen:

Figur 1 einen Daten-Speicher mit redundantem Speicher nach dem Stand der Technik;

20

Figur 2 ein Blockschaltbild des erfindungsgemäßen Datenspeichers mit einem Redundanz-Datenspeicher;

25

Figur 3 eine erste Ausführungsform des erfindungsgemäßen Datenspeichers;

Figur 4 eine zweite Ausführungsform des erfindungsgemäßen Datenspeichers;

30

Figur 5 ein Ablaufdiagramm, das das Testen und die Adressen-umprogrammierung bei dem erfindungsgemäßen Daten-Speichers darstellt;

Figur 2 zeigt ein Blockschaltbild des erfindungsgemäßen Datenspeichers 1. Der Datenspeicher 1 weist einen Haupt-Datenspeicher 2, einen Redundanz-Datenspeicher 3, eine Redundanz-Steuerlogik 4 und einen Datenauslese-Multiplexer 5 auf.

5 Der Haupt-Datenspeicher 2 ist vorzugsweise ein RAM-Speicher insbesondere ein SRAM-Speicher. Der Datenspeicher 1 ist an einen Datenbus 6, einen Adressbus 7 und an einen Steuerbus 8 angeschlossen. Dabei ist der Haupt-Datenspeicher 2 über Datenleitungen 9 an den Datenbus 6, über Adressenleitungen 10 an den Adressbus 7 und über Steuerleitungen 11 an den Steuerbus 8 angeschlossen. Der Redundanz-Datenspeicher 3 ist über Datenleitungen 12 mit dem Datenbus 6, über Adressenleitungen 13 mit dem Adressbus 7 und über Steuerleitungen 14 mit dem Steuerbus 8 verbunden. Die Redundanz-Steuerlogik 4 ist über Adressenleitungen 15 mit dem Adressbus 7 und über Steuerleitungen 16 an den Steuerbus 8 angeschlossen.

Der Haupt-Datenspeicher 2 ist über Datenausleseleitungen 17 an einen ersten Eingang des Daten-Auslesemultiplexers 5 und der Redundanz-Datenspeicher 3 ist über Datenausleseleitungen 18 an einen zweiten Eingang des Daten-Auslesemultiplexers 5 geschaltet. Der Daten-Auslesemultiplexer 5 kann ausgangsseitig über Datenleitungen 19 mit dem Datenbus 6 oder einem weiteren Datenbus verbunden sein.

25

Die Redundanz-Steuerlogik 4 steuert über eine Steuerleitung 20 das Einschreiben von Daten in den Redundanz-Datenspeicher 3 und über eine Steuerleitung 21 das Umschalten des Daten-Auslesemultiplexers 5 zwischen den Datenausleseleitungen 17, 18.

Der Haupt-Datenspeicher 2 besteht aus einer Vielzahl von Datenspeichereinheiten. Bei den Datenspeichereinheiten kann es

sich um einzelne Datenbits, Datenwörter, Datenspalten, Datenreihen, Datenfelder oder Daten-Makrobereiche handeln. Die Datenspeichereinheiten sind durch eine eigene individuelle Adresse adressierbar.

5

Der redundante Datenspeicher 3 weist mehrere Redundanz-Datenspeichereinheiten zum Ersatz von fehlerhaften Datenspeichereinheiten innerhalb des Haupt-Datenspeichers 2 auf. Die Anzahl der Redundanz-Datenspeichereinheiten ist dabei erheblich geringer als die Anzahl der Datenspeichereinheiten innerhalb des Hauptdatenspeichers 2. Werden im Herstellungsprozess des Datenspeichers 1 fehlerhafte Datenspeichereinheiten innerhalb des Haupt-Datenspeichers 2 hergestellt, übernehmen die Redundanz-Datenspeichereinheiten innerhalb des Redundanz-Datenspeichers 3 deren Speicherfunktionen. Die redundante Steuerlogik 4 steuert den Zugriff auf den Redundanz-Datenspeicher 3, wenn ein Zugriff auf eine fehlerhafte Datenspeichereinheit des Haupt-Datenspeichers 2 festgestellt wird.

10

15

Der Haupt-Datenspeicher 2 und der Redundanz-Datenspeicher 3 sind über die Daten-Einschreibleitungen 10,12 parallel zueinander an den Datenbus 6 angeschlossen. Ausgangsseitig ist der Haupt-Datenspeicher 2 und der Redundanz-Datenspeicher 3 über den Daten-Auslesemultiplexer 5 und die Daten-Ausleseleitungen 19 ebenfalls parallel an den Datenbus 6 geschaltet.

25

Der Haupt-Datenspeicher 2 und die Redundanz-Steuerlogik 4 sind parallel zueinander über die Adressenleitungen 10,15 an den Adressenbus 7 zur Adressierung von Datenspeichereinheiten in dem Datenspeicher 1 angeschlossen.

30

Bei der in Figur 3 gezeigten Ausführungsform ist der Redundanz-Datenspeicher 3 und die Redundanz-Steuerlogik 4 in einem

Bauelement integriert, wodurch die elektrische Verschaltung mit einem bereits vorhandenen Haupt-Datenspeicher 2 erleichtert wird.

- 5 Die Redundanz-Steuerlogik 4 enthält einen Adressenspeicher 22 mit mehreren Adressen-Speichereinheiten 22a bis 22g, in die Adressen von fehlerhaften Daten-Speichereinheiten innerhalb des Haupt-Datenspeichers 2 abspeicherbar sind. Die Adressen-Speichereinheiten 22a bis 22g sind Adressen-Speicherregister.
- 10 Dabei weist jedes Adressen-Speicherregister 22a bis 22g vorzugsweise ein Flag-Bit auf, welches anzeigt, ob der Inhalt des Adressen-Speicherregisters gültig ist.

- Die Redundanz-Steuerlogik 4 enthält ferner eine Adressen-
- 15 Vergleichsschaltung 23 mit mehreren Adressen-Komparatoren 23a bis 23g, die jeweils mit einem Adressen-Speicherregister 22a bis 22g über interne Adressleitungen 24a bis 24g und mit dem Adressenbus 7 über Adressleitungen 15 verbunden sind. Die Komparatoren 23a bis 23g weisen jeweils Adressenbits-
- 20 Vergleichsschaltungen zum Vergleich der an den Adressenleitungen 15 und den internen Adressenleitungen 24 anliegenden Adressen-Bit-Pegel auf. In die Adressen-Register 22a bis 22g werden nach erfolgtem Speichertest die Adressen von fehlerhaften Daten-Speichereinheiten innerhalb des Haupt-
- 25 Datenspeichers 2 eingeschrieben.

- Ist die an den Adressleitungen 15 anliegende Adresse mit einer in einem Adressen-Register 22a bis 22g abgespeicherten Adressenregister identisch, wird dies in der Adressenvergleichsschaltung erkannt und über Steuerleitungen 25a bis 25g
- 30 eine zugehörige Redundanz-Datenspeichereinheit 26a bis 26g des Redundanz-Datenspeichers 3 aktiviert und die entsprechende Redundanz-Datenspeichereinheit 26a bis 26g über einen in-

ternen Daten-Auslesemultiplexer 27 des Redundanz-Datenspeichers 3 an den Daten-Auslesemultiplexer 5 geschaltet. Die Redundanz-Datenspeichereinheiten 26a bis 26g des Redundanz-Datenspeichers 3 sind über interne Datenleitungen 28a bis 28g mit den internen Multiplexer 27 des Redundanz-Datenspeichers 3 verbunden.

Wenn beispielsweise die an den Adressleitungen 15 anliegende Adresse mit der in dem Adressen-Speicherregister 22a abgespeicherten Adresse übereinstimmt, wird dies durch den Komparator 23a der Adressenvergleichsschaltung 23 erkannt und die Redundanz-Datenspeichereinheit 26a des Redundanz-Datenspeichers 3 wird über die Steuerleitung 25a aktiviert. Die Adressenvergleichsschaltung 23 schaltet den Multiplexer 27 über die Steuerleitung 22 derart, dass die interne Leitung 28a an die Ausgangsleitung 18 des Multiplexers 27 durchgeschaltet wird. Gleichzeitig steuert die Adressenvergleichsschaltung 23 den Multiplexer 5 derart, dass dieser die Datenleitung 18 an die Datenleitung 19 schaltet, so dass die in der Redundanz-Datenspeichereinheit 26a enthaltenen Daten über die Datenleitungen 19 an den Datenbus 6 ausgegeben werden.

Liegt umgekehrt keine Adresse zur Adressierung einer fehlerhaften Datenspeichereinheit innerhalb des Haupt-Datenspeichers 2 an dem Adressbus 7 an, wird über die Adressleitungen 10 die entsprechende Datenspeichereinheit adressiert und deren Inhalt über die Datenausleseleitungen 17 und die Datenausleseleitungen 19 an den Datenbus 6 abgegeben. Hierzu wird der Multiplexer 5 derart geschaltet, dass die Datenleitungen 17 mit den Datenleitungen 19 direkt verbunden sind.

Der Datenzugriff auf eine Datenspeichereinheit innerhalb des Haupt-Datenspeichers 2 erfolgt dabei sehr schnell, da der Adressenvergleich innerhalb der Redundanz-Steuerlogik 4 zeitlich parallel erfolgt. Der Redundanz-Datenspeicher 3 weist
5 eine viel geringere Zugriffszeit auf als der Haupt-Datenspeicher 2. Während der Haupt-Datenspeicher 2 über eine Vielzahl von Datenspeichereinheiten verfügt, besitzt der Redundanz-Datenspeicher 3 nur einige Redundanz-Datenspeicher Register 26a bis 26g zum Ersatz fehlerhafter Datenspei-
10 chereinheiten innerhalb des Haupt-Datenspeichers 2. Auch die durch die Adressenvergleichsschaltung 23 für den Adressenvergleich benötigte Zeit T_V ist relativ kurz, so dass die Summe der Adressenvergleichszeit T_V und der Speicherzugriffszeit auf den Redundanz-Datenspeichers 3 T_{ZR} geringer ist als die
15 Zugriffszeit T_{ZH} auf den Haupt-Datenspeicher 2.

$$T_V + T_{ZR} < T_{ZH}$$

Somit ergibt sich die Speicherzugriffszeit auf den erfindungsgemäßen Datenspeicher 1 bei einem Zugriff auf eine
20 nicht-fehlerhafte Datenspeichereinheit des Haupt-Datenspeichers 2 zu:

$$T_Z = T_{ZH} + T_{MUX}$$

25

wobei T_{MUX} die Schaltzeit des Multiplexers 5 ist.

Die Schaltzeit des Multiplexers 5 T_{MUX} ist sehr niedrig. Sie ist weitaus niedriger als die Adressenvergleichszeit der Ad-
30 ressenvergleichsschaltung 23.

$$T_{MUX} \ll T_V$$

Wie man durch Vergleich des Aufbaus des erfindungsgemäßen Datenspeichers mit dem in Figur 1 gezeigten schaltungstechnischen Aufbau nach dem Stand der Technik erkennen kann, ist die Speicherzugriffszeit T_z bei der herkömmlichen Anordnung
5 weitaus höher als bei dem erfindungsgemäßen Datenspeicher 1.

Bei dem herkömmlichen Datenspeicher beträgt die Speicherzugriffszeit T_z :

10 $T_z = T_v + T_{ZH}$

wobei

T_v die Adressenvergleichszeit ist, die die Redundanzlogik benötigt, um festzustellen, ob eine fehlerhafte Adresse an dem
15 Adressenbus A anliegt und

T_{ZH} die Speicherzugriffszeit auf den Haupt-Datenspeicher darstellt.

Demgegenüber beträgt die maximale Speicherzugriffszeit T_z des
20 erfindungsgemäßen Datenspeichers 1:

$T_z = T_{MUX} + T_{ZH}$ wenn $T_v + T_{ZR} < T_{ZH}$

wobei T_{MUX} die Schaltzeit des Multiplexers 5 ist und

25 T_{ZH} die Speicherzugriffszeit auf den Haupt-Datenspeicher 2 darstellt.

Dieser Zeitvorteil wird dadurch erzielt, das während der Speicherzugriffszeit T_{ZH} auf Datenspeichereinheiten innerhalb
30 des Haupt-Datenspeichers 2 gleichzeitig parallel bereits der Adressenvergleich innerhalb der Redundanz-Steuerlogik 4 geschieht und nach Beendigung des Speicherzugriffs auf den Haupt-Datenspeicher 2 lediglich in Abhängigkeit von dem Ver-

gleichsergebnis zwischen dem Redundanz-Datenspeicher 3 und dem Haupt-Datenspeicher 2 durch den Multiplexer 5 umgeschaltet wird.

5 Wie man in Figur 3 erkennen kann, sind der Haupt-Datenspeicher 2, der Redundanz-Datenspeicher 3 sowie die Redundanz-Steuerlogik 4 parallel zueinander über Steuerleitungen 11,14,16 an den Steuerbus 8 zum Steuern eines Lese- oder Schreibzugriffs auf den Datenspeicher 1 angeschlossen. Der
 10 Schreibvorgang in den Redundanz-Datenspeicher 3 erfolgt in zwei Schritten. Bei einer ansteigenden Taktflanke werden die Eingabeadressen und die Eingabedaten in einem Zwischenspeicher abgespeichert. Die Komparatoren 23a bis 23g vergleichen die Eingabeadresse mit den Inhalten der Adressen-
 15 Speicherregister 22a bis 22g. Falls eine der abgespeicherten Adressen der Eingabeadresse entspricht, werden die zwischengespeicherten Eingabedaten an das entsprechende Datenspeicherregister 26a bis 26g bei der nächsten Taktflanke eingeschrieben.

20

Der Adressenspeicher 22 ist bei der in Figur 3 gezeigten bevorzugten Ausführungsform über Adresseneinleseleitungen 29a bis 29g mit einem Adressen-Festwertspeicher 30 zum dauerhaften Abspeichern von Adressen fehlerhafter Datenspeicherein-
 25 heiten des Haupt-Datenspeichers 2 verbunden.

Die nach dem Testen des Datenspeichers 1 fehlerhaft erkannten Adressen werden in dem Adressen-Festwertspeicher 30 fest einprogrammiert. Der Adressen-Festwertspeicher 30 ist vorzugs-
 30 weise ein nicht-flüchtiger Speicher. Der Adressen-Festwertspeicher 30 besteht vorzugsweise aus Sicherungen (fuses) die nach dem Testvorgang entsprechend den fehlerhaft erkannten Adressen gebrannt werden.

Der Adressenspeicher 22 enthält vorzugsweise mehrere Adressen-Speicherregister 22a bis 22g die jeweils ein Flagbit aufweisen, das anzeigt, ob der Inhalt des Adressenregisters 22a bis 22g gültig ist. Falls nach dem Testen erkannt wird, dass der Haupt-Datenspeicher 2 keine fehlerhaften Datenspeichereinheiten enthält, wird die Redundanz-Steuerlogik 4 deaktiviert, indem alle Flagbits zurückgesetzt bleiben.

Figur 4 zeigt eine alternative Ausführungsform der Redundanz-Steuerlogik 4, bei der die Adressen-Speichereinheiten 22a bis 22g des Adressenspeichers 22 sind dabei mit dem Adressenbus 7 verbundene Assoziativspeichereinheiten sind zum Freischalten der zugehörigen Redundanz-Datenspeichereinheiten 26a bis 26g des Redundanz-Datenspeichers 3.

Figur 5 zeigt ein Ablaufdiagramm zur Darstellung des Programmiervorgangs des erfindungsgemäßen Datenspeichers mit Adressen von fehlerhaften Datenspeichereinheiten.

20

In einem Schritt S_0 wird ein Speichertest gestartet. Anschließend wird der Schritt S_1 eine Initialisierung von Feldern und Adressenspeicherregistern durchgeführt. In einem Schritt S_2 wird eine Adresse an den Adressenbus 7 und ein Testdatum an den Datenbus 6 angelegt. Im Schritt S_3 wird ausgewertet, ob der am Datenbus 6 anliegende ausgegebene Datenwert einem erwarteten Datenausgabewert entspricht. Falls dies der Fall ist, wird im Schritt S_4 entschieden, ob der Test beendet ist. Falls der Testdurchlauf des Haupt-Datenspeichers 2 noch nicht beendet worden ist, wird im Schritt S_5 die nächste Adresse generiert und im Schritt S_2 erneut an den Adressenbus 7 angelegt. Die aus den Schritten S_2 , S_3 , S_4 , S_5 bestehende

Schleife wird für alle Adressen des Haupt-Datenspeichers 2 durchlaufen.

Falls im Schritt S_3 festgestellt wird, dass der ausgegebene
5 Datenwert nicht dem erwarteten Testdatenwert entspricht, wird
erkannt, dass die entsprechende Datenspeichereinheit inner-
halb des Haupt-Datenspeichers 2 fehlerhaft ist. In einem
Schritt S_6 wird überprüft, ob noch freie Adressen-
Speicherregister bzw. Assoziativspeicher 22a bis 22g inner-
10 halb der Redundanz-Steuerlogik 4 vorhanden sind. Falls der
Adressenspeicher 22 der Redundanz-Steuerlogik 4 bereits mit
Adressen von fehlerhaften Datenspeichereinheiten gefüllt ist
und somit keine weiteren Adressen-Speichereinheiten innerhalb
der Redundanz-Steuerlogik 4 zur Verfügung stehen, kann der
15 derart fehlerhaft hergestellte Datenspeicher 1 nicht mehr re-
pariert werden, da zu viele Herstellungsfehler aufgetreten
sind und der in Figur 5 dargestellte Ablauf gibt im Schritt
 S_7 ein Anzeigesignal ab, welches anzeigt, dass eine Reparatur
des Datenspeichers 1 nicht durchgeführt werden kann.

20 Falls in Schritt S_6 festgestellt wird, dass noch eine freie
Adressen-Speichereinheit 22a bis 22g innerhalb der Redundanz-
Steuerlogik 4 vorhanden ist, wird im Schritt S_8 die als feh-
lerhaft erkannte Adresse in die Adressen-Speichereinheit des
25 Adressenspeichers 22 eingeschrieben und gegebenenfalls ein
vorhandenes Flagbit gesetzt.

Im Schritt S_8 werden die anzulegenden Testdaten zurückgesetzt
und der Test neu begonnen.

30 Die Adressen der als fehlerhaft erkannten Daten-
Speichereinheiten innerhalb des Haupt-Datenspeichers 2 werden
an Adressen-Speichereinheiten 22a bis 22g des Adressenspei-

chers 22 innerhalb der Redundanz-Steuerlogik 4 eingeschrieben. Die als fehlerhaft erkannten Adressen können dabei von einer in dem Datenspeicher 1 integrierten eingebauten Speichertestlogik BIST, einem Testautomaten TA oder aus dem Adressen-Festwertspeicher 30 stammen. Durch die parallele Anordnung des Redundanz-Datenspeichers 3 und des Haupt-Datenspeichers 2 in Bezug auf den Datenbus 6 sowie durch die parallele Anordnung der Redundanz-Steuerlogik 4 und des Haupt-Datenspeichers 2 in Bezug auf den Adressenbus 7 wird die Speicherzugriffszeit aus dem Datenspeicher 1 erheblich verkürzt.

Die Redundanz-Steuerlogik 4 sowie der Redundanz-Datenspeicher 3 können als ein elektronisches Bauelement integriert aufgebaut werden. Hierdurch kann ein bestehender Haupt-Datenspeicher 2 in einfacher Weise durch das Schalten mit einem derart integrierten Bauelement über einen Multiplexer 5 mit einem redundanten Speicherraum versehen werden.

Bei einer weiteren bevorzugten Ausführungsform ist der Multiplexer 5 mit der Redundanz-Steuerlogik 4 und dem Redundanz-Datenspeicher 3 sowie dem Adressen-Festwertspeicher 30 in einer elektronischen Schaltung integriert. Ein derart integriertes Bauelement muss zur Erweiterung eines vorhandenen Haupt-Datenspeichers 2 lediglich an den Datenbus 6, den Adressenbus 7, den Steuerbus 8 sowie über die Leitung 17 an den Haupt-Datenspeicher 2 angeschlossen werden.

Patentansprüche

1. Datenspeicher mit

5 einem aus einer Vielzahl von Datenspeichereinheiten bestehenden Haupt-Datenspeicher (2),

einem Redundanz-Datenspeicher (3), der aus mehreren Redundanz-Datenspeichereinheiten zum Ersatz fehlerhafter Datenspeichereinheiten des Haupt-Datenspeichers (2) besteht, und

10 mit einer Redundanz-Steuerlogik (4) zum Steuern des Zugriffs auf den Redundanz-Datenspeicher (3), wobei der Haupt-Datenspeicher (2) und der Redundanz-Datenspeicher (3) über Datenleitungen (9, 12) parallel zueinander an einen Datenbus (6) angeschlossen sind, und
15 wobei der Haupt-Datenspeicher (2) und die Redundanz-Steuerlogik (4) parallel zueinander über Adressenleitungen (10, 15) an einen Adressenbus (7) zur Adressierung von Datenspeichereinheiten in dem Datenspeicher (1) angeschlossen sind.

2. Datenspeicher nach Anspruch 1,

20 d a d u r c h g e k e n n z e i c h n e t, dass die Redundanz-Steuerlogik (4) einen Adressenspeicher (22) mit mehreren Adressen-Speichereinheiten (22a - 22g)
25 aufweist, die Adressen von fehlerhaften Datenspeichereinheiten des Haupt-Datenspeichers (2) abspeichern.

3. Datenspeicher nach Anspruch 1 oder 2,

30 d a d u r c h g e k e n n z e i c h n e t, dass die Adressenspeichereinheiten (22a - 22g) mit dem Adressenbus (7) verbundene Assoziativspeichereinheiten CAM sind.

4. Datenspeicher nach Anspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t,
dass die Adressenspeichereinheit (22a - 22g) Adressen-
Speicherregister sind.

- 5 5. Datenspeicher nach Anspruch 4,
d a d u r c h g e k e n n z e i c h n e t,
dass jedes Adressenspeicherregister ein Flag-Bit aufweist,
das anzeigt, ob der Inhalt des Adressenspeicherregisters
gültig ist.

10

6. Datenspeicher nach Anspruch 4 oder 5,
d a d u r c h g e k e n n z e i c h n e t,
dass die Redundanz-Steuerlogik (4) mehrere Komparatoren
aufweist, die jeweils mit einem Adressenspeicherregister
15 und dem Adressenbus (7) verbunden sind und eine zugehörige
Redundanz-Datenspeichereinheit (26a - 26g) des Redundanz-
Datenspeichers (3) freischalten, wenn die an dem Adressen-
bus (7) anliegende Adresse mit der in dem Adressenspei-
cherregister abgespeicherten Adresse übereinstimmt.

20

7. Datenspeicher nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass die Redundanz-Steuerlogik (4) einen ersten Multiple-
xer (5) zum Auslesen von Daten aus dem Haupt-Datenspeicher
25 (2) oder dem Redundanz-Datenspeicher (3) steuert.

25

8. Datenspeicher nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass der Haupt-Datenspeicher (2), der Redundanz-
30 Datenspeicher (3) und die Redundanz-Steuerlogik (4) paral-
lel zueinander an einen Steuerbus (8) zum Steuern eines
Lese- oder Schreibzugriffs auf den Datenspeicher (1) ange-
schlossen sind.

30

9. Datenspeicher nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass der Adressenspeicher (22) mit einem programmierbaren
5 nicht-flüchtigen Adressen-Festwertspeicher (30) zum dauer-
haften Abspeichern von Adressen fehlerhafter Datenspei-
chereinheiten des Haupt-Datenspeichers (2) verbunden ist.

10. Datenspeicher nach einem der vorangehenden Ansprüche,
10 d a d u r c h g e k e n n z e i c h n e t,
dass die Redundanz-Steuerlogik (4) einen zweiten Multi-
plexer (27) ansteuert, der eingangsseitig mit den Redun-
danz-Datenspeichereinheiten (26a - 26g) des Redundanz-
Speichers (3) verbunden ist.

15 11. Datenspeicher nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass die Redundanz-Datenspeichereinheit (26a - 26g) des
Redundanz-Datenspeichers (3) Register sind.

20 12. Datenspeicher nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass der Haupt-Datenspeicher (2) ein RAM-Speicher ist.

25 13. Datenspeicher nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass der Haupt-Datenspeicher (2) ein SRAM-Speicher ist.

30 14. Datenspeicher an einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass die Adresse einer fehlerhaften Datenspeichereinheit
des Haupt-Datenspeichers (2) in eine Adressen-
Speichereinheit (22a - 22g) des Adressenspeichers (22)

aus einer in den Datenspeicher (1) integrierten Speicher-
testlogik, aus einem an den Datenspeicher (1) angeschlos-
senen Testautomaten oder aus dem Adressen-
Festwertspeicher (30) ausgelesen und in die Adressen-
5 Speichereinheit (22a - 22g) eingeschrieben wird.

15. Testverfahren zum Testen eines Datenspeichers, der einen
Hauptdatenspeicher (2) mit einer Vielzahl von Datenspei-
cher aufweist, bei dem die folgenden Schritte für alle
10 Datenspeichereinheiten durchgeführt werden:

(a) Adressieren (S2) einer Datenspeichereinheit durch
Anlegen der Adresse der Datenspeichereinheit an einen
mit dem Hauptdatenspeicher (2) verbundenen Adressbus
(7);

- 15 (b) Anlegen (S2) von Eingabetestdaten zum Testen der ad-
ressierten Datenspeichereinheit an einen mit dem Haupt-
datenspeicher (2) verbunden Datenbus (6);

(c) Auslesen (S3) von Ausgabetestdaten aus der adres-
sierten Datenspeichereinheit;

- 20 (d) Vergleichen (S3) der Ausgabetestdaten mit erwarteten
Soll-Ausgabetestdaten;

(e) wobei wenn die Ausgabetestdaten und die erwarteten
Soll-Ausgabetestdaten nicht übereinstimmen, wird die an-
gelegte Adresse in eine Adressenspeichereinheit eines
25 Adressenspeichers (22) eingeschrieben (S8) und das Test-
verfahren erneut gestartet, wobei die eingeschriebenen
Adresse gespeichert bleibt.

Zusammenfassung

Datenspeicher mit
einem aus einer Vielzahl von Datenspeichereinheiten bestehen-
5 den Haupt-Datenspeicher (2), einem Redundanz-Datenspeicher
(3), der aus mehreren Redundanz-Datenspeichereinheiten zum
Ersatz fehlerhafter Datenspeichereinheiten des Haupt-Daten-
speichers (2) besteht, und mit einer Redundanz-Steuerlogik
(4) zum Steuern des Zugriffs auf den Redundanz-Datenspeicher
10 (3), wobei der Haupt-Datenspeicher (2) und der Redundanz-
Datenspeicher (3) über Datenleitungen (9, 12) parallel zu-
einander an einen Datenbus (6) angeschlossen sind, und wobei
der Haupt-Datenspeicher (2) und die Redundanz-Steuerlogik (4)
parallel zueinander über Adressenleitungen (10, 15) an einen
15 Adressenbus (7) zur Adressierung von Datenspeichereinheiten
in dem Datenspeicher (1) angeschlossen sind.

Figur 2

Bezugszeichenliste

	1	Datenspeicher
	2	Haupt-Datenspeicher
5	3	Redundanz-Datenspeicher
	4	Redundanz-Steuerlogik
	5	Multiplexer
	6	Datenbus
	7	Adressbus
10	8	Steuerbus
	9	Dateneinleseleitungen
	10	Adressleitungen
	11	Steuerleitungen
	12	Dateneinleseleitungen
15	13	-
	14	Steuerleitungen
	15	Adressleitungen
	16	Steuerleitungen
	17	Datenausleseleitungen
20	18	Datenausleseleitungen
	19	Datenleitungen
	20	Steuerleitungen
	21	Steuerleitungen
	22	Adressenspeichereinheit
25	23	Adressenvergleichsschaltung
	24	Leitungen
	25	Leitungen
	26	Redundanz-Datenspeichereinheiten
	27	Multiplexer
30	28	Datenausleseleitungen
	29	Leitungen
	30	Adressen-Festwertspeicher

1/5

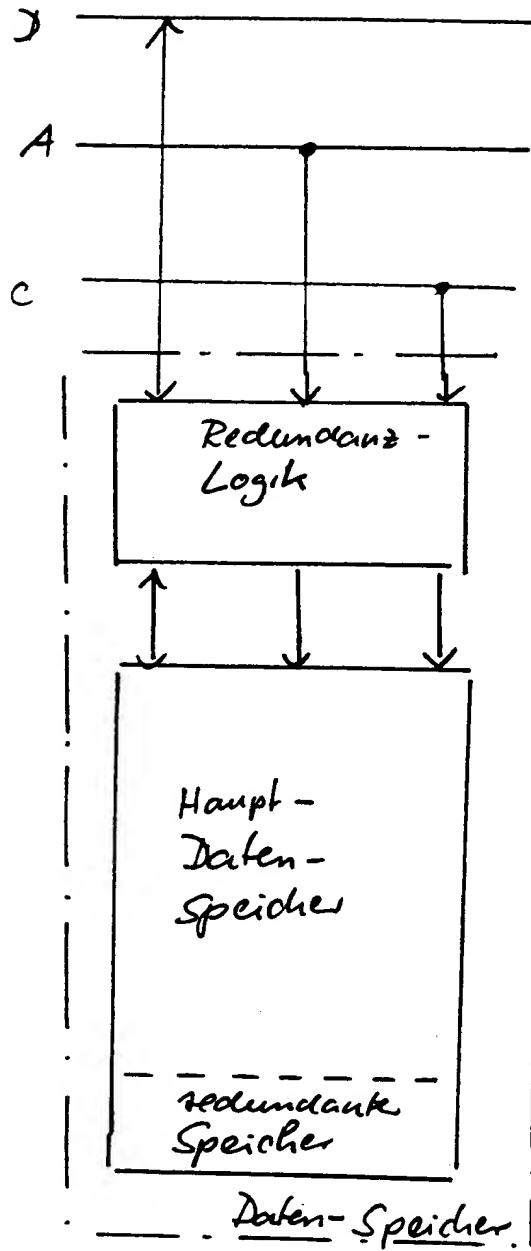


Fig. 1

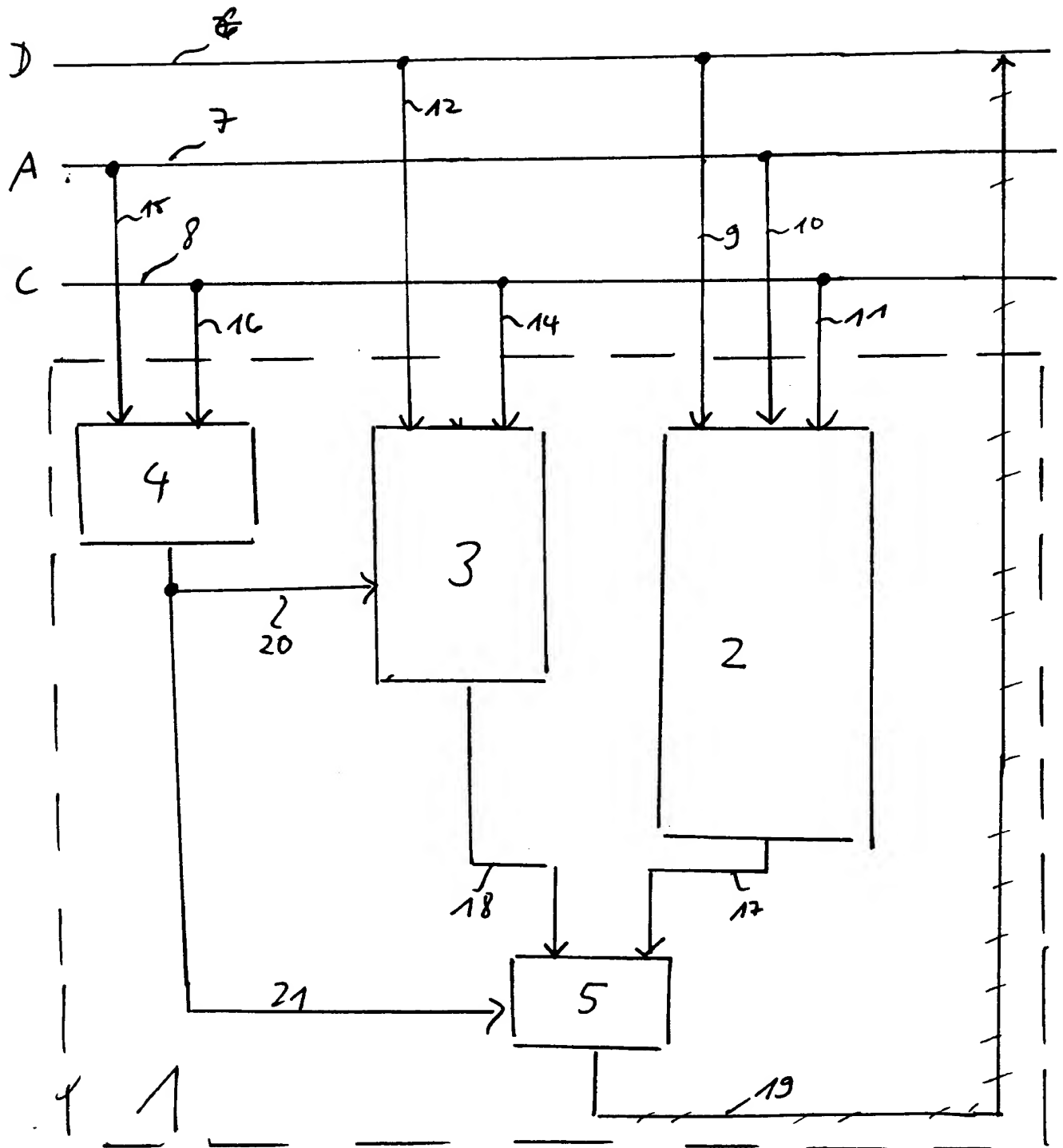


Fig. 2

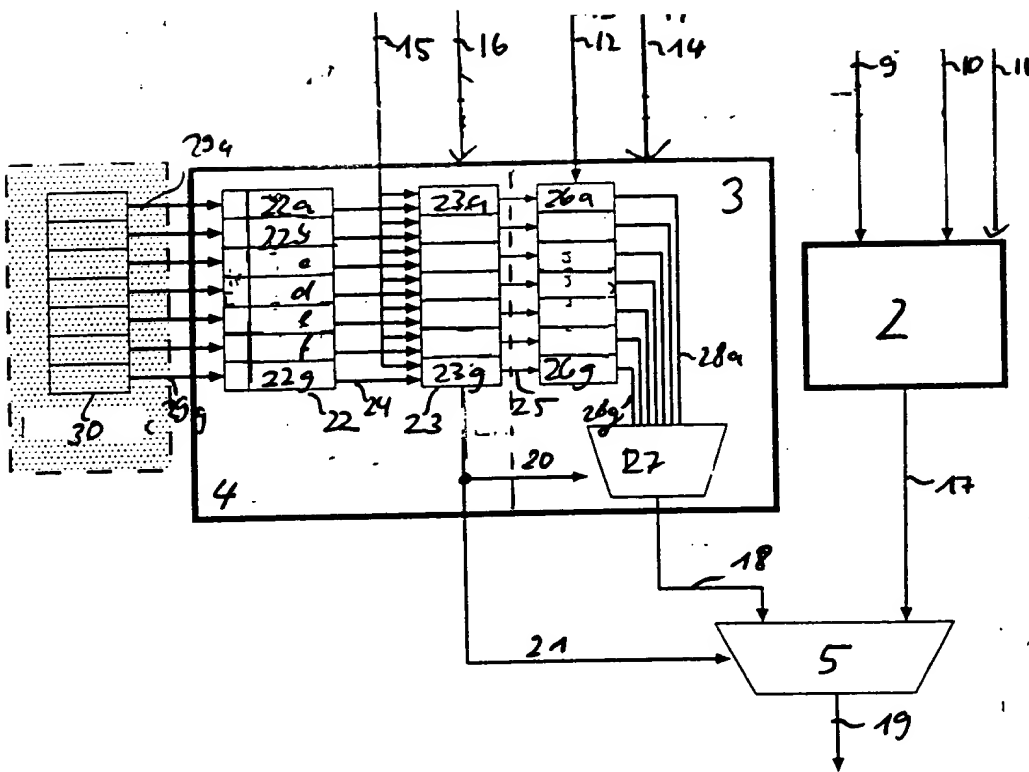


Fig 3

4/5

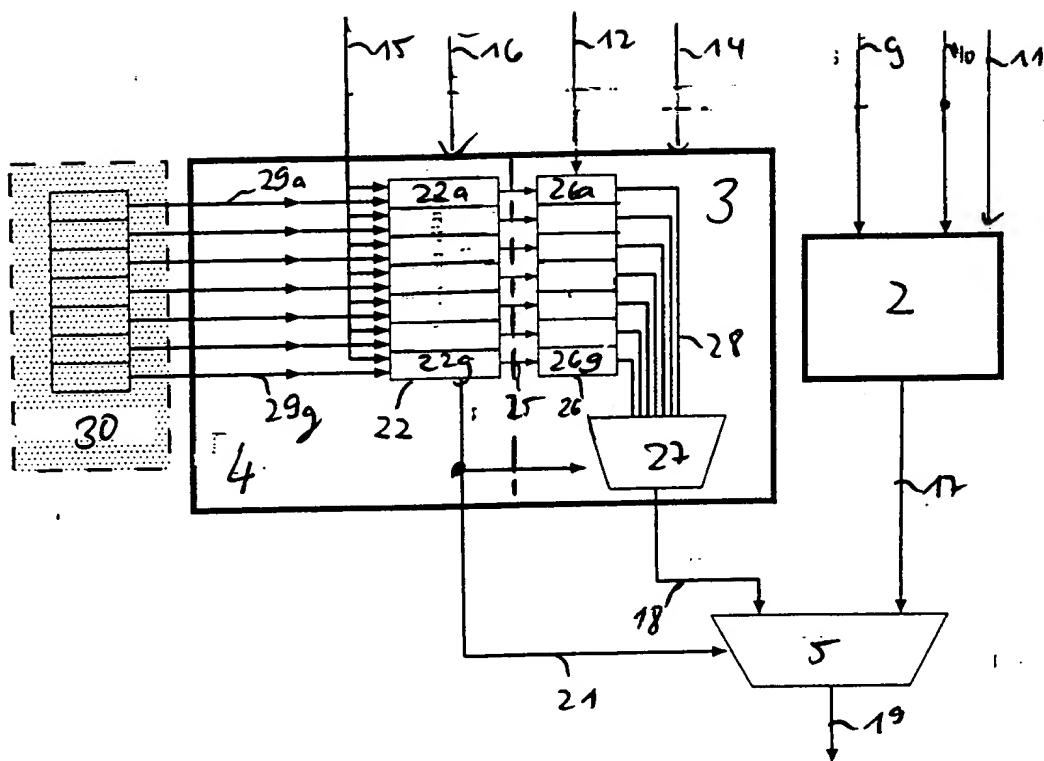


Fig 4

S/S

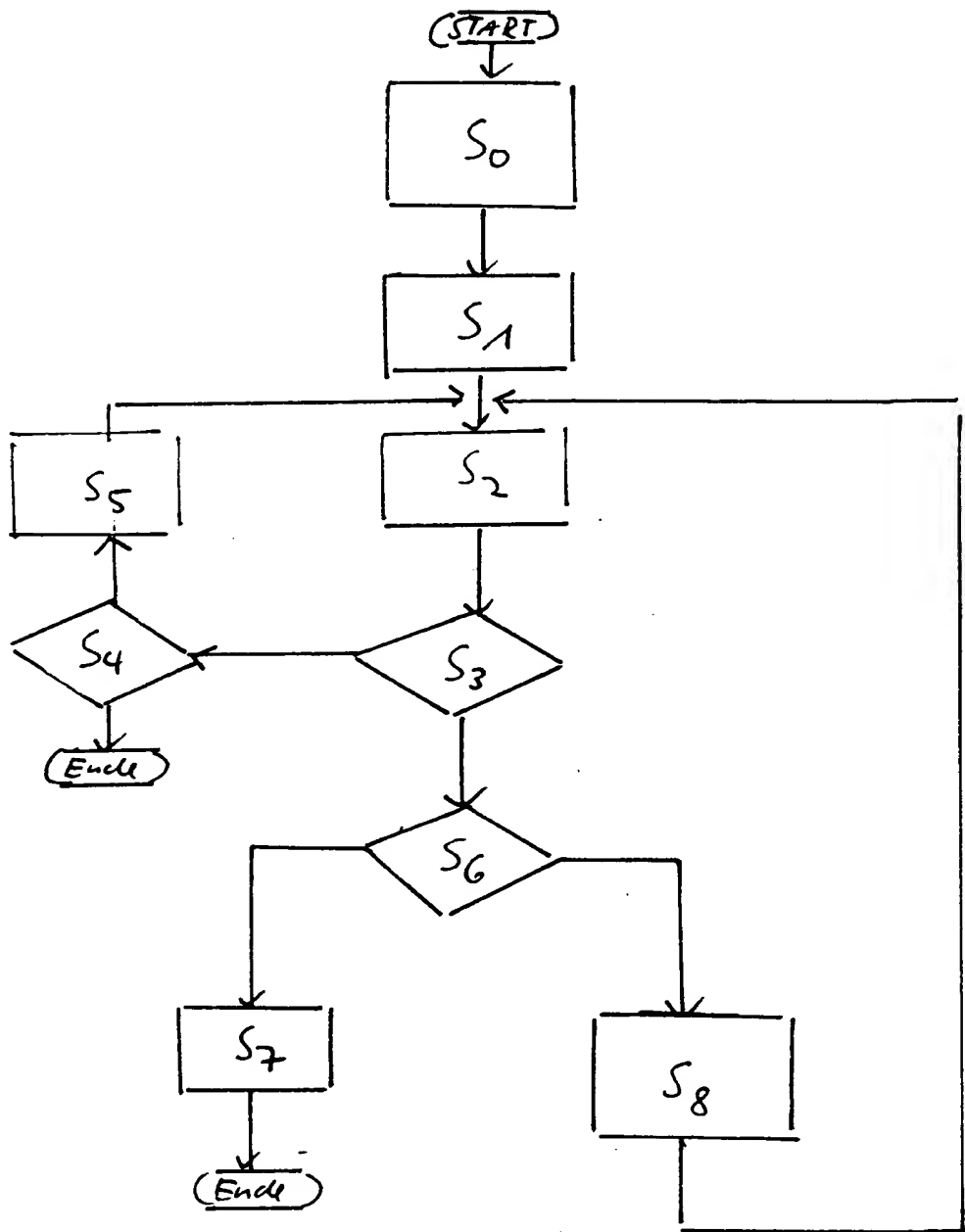


Fig. 5